

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

**Integrated circuit comprising an active halt mode with low electrical energy consumption, and method for controlling the length of the halt period****Patent number:** FR2832565**Publication date:** 2003-05-23**Inventor:** DEGOT YANNICK; BARANWAL DEEPAK; RUAT LUDOVIC**Applicant:** ST MICROELECTRONICS SA (FR); ST MICROELECTRONICS LTD (IN)**Classification:****- International:** H03F1/32; H03K17/28; H03L7/18**- european:** G06F1/32P2**Application number:** FR20010014998 20011120**Priority number(s):** FR20010014998 20011120**Abstract of FR2832565**

The integrated circuit in the form of a micro-controller (MC) comprises at least one element such as a central processing unit (CPU) timed by a clock signal (CK1) delivered by a first oscillator (OSC1), the means which include the central processing unit (CPU) and a memory program store (MEM) for halting the first oscillator, a timing device (TCT) which is autonomous with respect to the first oscillator, the means which include a control register (CREG) for starting the timing device at the time of halting the first oscillator, and an interruption decoder (ITDEC) for reactivating the first oscillator by the intermediary of the CPU. The ON/OFF input of the first oscillator (OSC1) receives a HALTS signal delivered by the CPU. The timing device (TCT) comprises the means for delivering a reactivation signal (ITCT) by the intermediary of the interruption decoder (ITDEC) in the form of an interruption request signal (IRQ). The autonomous timing device (TCT) is timed by a second oscillator (OSC2) which has a lower electrical consumption than the first oscillator. The first oscillator (OSC1) is a quartz oscillator, and the second oscillator (OSC2) is of type RC. The timing device (TCT) is started by the HALTS signal delivered by the CPU and is a function of at least one control bit such as enable (E) stored in the control register (CREG). The timing device (TCT) comprises the frequency dividers or prescalers (PSC1,PSC2) receiving the second clock signal (CK2), a calibration register (AWUREG) for storing the division factor (N), a calibration circuit (TIMPER) for recalling the divider circuit outside the halt periods of the first oscillator, and a circuit connected to the OFF/ON input of the second oscillator (OSC2) which comprises an OR gate (G1), two AND gates (G2,G3), and an inverter (INV). The method for controlling the length of the halt period in an integrated circuit is implemented by the micro-controller (MC).

19 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

**11) N° de publication :**

② N° d'enregistrement national : 01 14998

(51) Int Cl<sup>7</sup>: H 03 F 1/32, H 03 K 17/28, H 03 L 7/18

12

## DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 20.11.01

③〇 Priorité -

71 Demandeur(s) : STMICROELECTRONICS SA  
Société anonyme — FR et STMICROELECTRONICS  
LTD — IN

(43) Date de mise à la disposition du public de la demande : 23.05.03 Bulletin 03/21

**56) Liste des documents cités dans le rapport de recherche préliminaire : Se reporter à la fin du présent fascicule**

**60 Références à d'autres documents nationaux apparentés :**

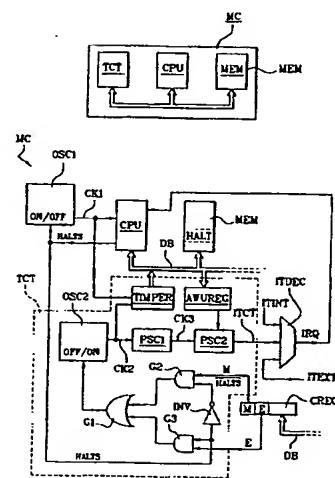
72 Inventeur(s) : RUAT LUDOVIC, DEGOT YANNICK et  
BARANWAL DEEPAK

73 Titulair(e)s:

74) Mandataire(s) : OMNIPAT

#### 54 CIRCUIT INTEGRÉ COMPRENANT UN MODE ARRÊT ACTIF À FAIBLE CONSOMMATION ÉLECTRIQUE

(57) La présente invention concerne un circuit intégré (MC) comprenant au moins un élément cadencé par un signal d'horloge (CK1) délivré par un premier oscillateur (OSC1), et des moyens (CPU, MEM, HALT, ON/OFF) pour arrêter le premier oscillateur. Selon l'invention, le circuit intégré comprend un dispositif (TCT) de temporisation qui est autonome vis-à-vis du premier oscillateur OSC1, et des moyens (HALTS, CREG, M) pour déclencher le dispositif de temporisation lors d'un arrêt du premier oscillateur (OSC1), le dispositif de temporisation comprenant des moyens pour délivrer, au terme d'une période déterminée après son déclenchement, un signal (ITCT) de réactivation du premier oscillateur.



FR 2 832 565 - A1



CIRCUIT INTEGRÉ COMPRENANT UN MODE ARRET ACTIF A FAIBLE  
CONSOMMATION ELECTRIQUE

La présente invention concerne la gestion d'un mode arrêt dans un circuit intégré cadencé par un signal d'horloge, notamment un microcontrôleur, un tel mode arrêt étant couramment désigné HALT MODE.

5 Un microcontrôleur est un circuit intégré comprenant une unité centrale de traitement ou CPU, une mémoire de programme, un générateur de signal d'horloge et des périphériques qui sont essentiellement chargés d'assurer la communication avec le milieu extérieur via  
10 des ports d'entrée-sortie.

Dans certaines applications, la consommation d'énergie est un élément prépondérant, si bien qu'il est courant de prévoir deux modes de fonctionnement du microcontrôleur. Dans un mode actif, celui-ci ainsi que  
15 l'ensemble des périphériques effectuent les tâches qui leurs sont habituellement dévolues, au rythme du signal d'horloge. Dans le mode arrêt, le microcontrôleur réalise un nombre d'opérations très réduit et il en va de même pour les périphériques, certains périphériques pouvant  
20 même être arrêtés. La consommation d'énergie peut donc être notablement réduite dans le mode arrêt.

En pratique, un premier moyen connu pour basculer en mode arrêt consiste à diminuer la fréquence du signal d'horloge issu d'un oscillateur, fréquence qui influe  
25 directement sur la consommation.

Pour ce faire, on utilise généralement un diviseur de fréquence agencé en aval de l'oscillateur. Un commutateur sélectionne comme signal d'horloge le signal de sortie de l'oscillateur ou le signal de sortie du diviseur selon que le mode de fonctionnement est le mode actif ou le mode arrêt. Le passage du mode arrêt au mode actif est souvent déclenché par une interruption au niveau du microcontrôleur.

La consommation d'énergie est alors sensiblement diminuée. Cependant, cette diminution est limitée par la consommation résiduelle de tous les modules numériques cadencés par le signal d'horloge. Il s'agit donc plutôt d'un mode de veille que d'un mode arrêt *stricto sensu*.

Un second moyen connu pour basculer en mode arrêt consiste à arrêter complètement l'oscillateur en appliquant au processeur du microcontrôleur une instruction d'arrêt, bien connue de l'homme de l'art et généralement désignée instruction HALT. L'instruction HALT est généralement exécutée par le cœur du CPU qui délivre un signal d'arrêt HALTS aux périphériques. Le microcontrôleur ne peut être réactivé que par un événement externe qui génère une interruption faisant sortir l'unité centrale du mode arrêt. La consommation est nulle mais ce mode ne peut être utilisé que dans des applications garantissant l'apparition cyclique d'événements externes assurant le réveil du microcontrôleur.

Ce mode arrêt est connu sous le nom de mode arrêt total ("FULL HALT MODE").

Un troisième moyen connu pour basculer en mode arrêt consiste à supprimer la distribution du signal d'horloge à tous les périphériques et au CPU durant une période d'arrêt déterminée, par exemple, au moyen d'un dispositif de temporisation, sans arrêter l'oscillateur.

A l'issue de cette période, le dispositif de temporisation génère une interruption interne qui active l'unité centrale. L'unité centrale procède alors à la scrutation des différents périphériques ("polling"), 5 réalise diverses opérations qui lui incombent et, finalement, initie le retour au mode arrêt si une nouvelle instruction HALT est prévue dans le programme en cours d'exécution.

10 Ce mode arrêt est connu sous le nom de mode arrêt actif ("ACTIVE HALT MODE").

Dans ce cas, la consommation d'énergie pendant le mode arrêt est essentiellement celle de l'oscillateur. Il n'est toutefois pas possible d'arrêter cet oscillateur puisque ce dernier est nécessaire pour activer le 15 dispositif de temporisation, lequel détermine la durée de la période d'arrêt. Or, typiquement, la consommation d'un oscillateur à quartz offrant est au minimum de l'ordre de 100 microampères. Cette consommation est considérée encore trop élevée dans certaines applications, notamment 20 dans les applications à l'automobile.

Ainsi un objectif de la présente invention est de réduire la consommation d'énergie d'un circuit intégré tel qu'un microcontrôleur se trouvant dans un mode arrêt actif du type décrit ci-dessus.

25 Un autre objectif de la présente invention est de réduire la consommation d'énergie d'un circuit intégré se trouvant dans un mode arrêt actif, sans perdre en précision en ce qui concerne la durée de la temporisation intervenant pendant la période d'arrêt.

30 A cet effet, la présente invention prévoit un circuit intégré comprenant au moins un élément cadencé par un signal d'horloge délivré par un premier oscillateur, des moyens pour arrêter le premier oscillateur, un dispositif de temporisation qui est autonome vis-à-vis du premier

oscillateur OSC1, et des moyens pour déclencher le dispositif de temporisation lors d'un arrêt du premier oscillateur, le dispositif de temporisation comprenant des moyens pour délivrer, au terme d'une période 5 déterminée après son déclenchement, un signal de réactivation du premier oscillateur.

Selon un mode de réalisation, le dispositif de temporisation autonome est cadencé par un deuxième oscillateur.

10 Selon un mode de réalisation, le deuxième oscillateur présente une consommation électrique inférieure à celle du premier oscillateur.

Selon un mode de réalisation, le deuxième oscillateur est un oscillateur de type RC.

15 Selon un mode de réalisation, le dispositif de temporisation comprend un circuit diviseur de fréquence recevant en entrée un signal délivré par le deuxième oscillateur et délivrant le signal de réactivation.

Selon un mode de réalisation, le circuit diviseur 20 de fréquence comprend un diviseur programmable comportant un registre de calibrage pour mémoriser un facteur de division.

Selon un mode de réalisation, le circuit intégré 25 comporte un circuit de calibrage pour recaler le diviseur programmable en dehors de périodes d'arrêt du premier oscillateur, en référence au signal d'horloge délivré par le premier oscillateur.

Selon un mode de réalisation, le premier oscillateur est un oscillateur à quartz.

30 Selon un mode de réalisation, le circuit intégré comprend une unité centrale de traitement numérique cadencée par le premier oscillateur

Selon un mode de réalisation, le circuit de temporisation autonome est déclenché par un signal

d'arrêt délivré par l'unité centrale de traitement numérique.

Selon un mode de réalisation, le déclenchement du circuit de temporisation est fonction du signal d'arrêt délivré par l'unité centrale de traitement numérique et d'au moins un bit de contrôle stocké dans un registre.

Selon un mode de réalisation, le signal de réactivation du premier oscillateur délivré par le dispositif de temporisation est un signal d'interruption provoquant de façon indirecte, par l'intermédiaire d'un décodeur d'interruption, la réactivation du premier oscillateur.

Selon un mode de réalisation, le circuit intégré forme un microcontrôleur.

La présente invention concerne également un procédé pour contrôler la durée d'une période d'arrêt dans un circuit intégré comprenant au moins un élément cadencé par un signal d'horloge délivré par un premier oscillateur, et des moyens pour arrêter le premier oscillateur, la période d'arrêt comprenant l'arrêt du premier oscillateur, le procédé comprenant les étapes consistant à prévoir un dispositif de temporisation qui est autonome vis-à-vis du premier oscillateur OSC1, déclencher le dispositif de temporisation lors d'un arrêt du premier oscillateur, et délivrer un signal de réactivation du premier oscillateur au moyen du dispositif de temporisation autonome, au terme d'une période déterminée après son déclenchement.

Selon un mode de réalisation, le dispositif de temporisation autonome est cadencé par un deuxième oscillateur.

Selon un mode de réalisation, le deuxième oscillateur présente une consommation électrique inférieure à celle du premier oscillateur.

Selon un mode de réalisation, on prévoit un circuit diviseur de fréquence recevant en entrée un signal de sortie du deuxième oscillateur et délivrant le signal de réactivation.

5 Selon un mode de réalisation, on prévoit un circuit diviseur de fréquence comprenant un diviseur programmable comportant un registre de calibrage pour mémoriser un facteur de division, et une étape de calibrage faite en dehors de périodes d'arrêt du premier oscillateur, pour  
10 recaler le diviseur programmable en référence au signal d'horloge délivré par le premier oscillateur.

15 Selon un mode de réalisation, le procédé est mis en œuvre dans un circuit intégré comprenant une unité centrale de traitement numérique cadencée par le premier oscillateur

Selon un mode de réalisation, on déclenche le circuit de temporisation autonome au moyen d'un signal d'arrêt délivré par l'unité centrale de traitement numérique.

20 Selon un mode de réalisation, le déclenchement du circuit de temporisation autonome dépend de la valeur d'un bit de contrôle stocké dans un registre.

25 Ces objets, caractéristiques et avantages ainsi que d'autres de la présente invention seront exposés plus en détail dans la description suivante d'un microcontrôleur comprenant un dispositif de temporisation selon l'invention, faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

30 - la figure 1 représente schématiquement sous forme de blocs un microcontrôleur comprenant un circuit de temporisation selon l'invention,  
- la figure 2 est un schéma plus détaillé du microcontrôleur de la figure 1,

- la figure 3 est le schéma d'un circuit de calibrage présent dans le circuit de temporisation selon l'invention.

La figure 1 illustre à titre non limitatif un exemple de mise en oeuvre de la présente invention dans un microcontrôleur MC. Le microcontrôleur comprend sur une même puce de silicium une unité centrale ou CPU, une mémoire programme MEM et un dispositif temporisation TCT selon l'invention.

La figure 2 est un schéma plus détaillé du microcontrôleur MC. Le CPU reçoit un signal d'horloge CK1 délivré par un oscillateur OSC1 présentant une entrée ON/OFF. L'oscillateur OSC1 est de préférence un oscillateur de précision tel qu'un oscillateur à quartz, dont l'inconvénient est de présenter une consommation de courant non négligeable lorsqu'il est activé.

L'entrée ON/OFF de l'oscillateur OSC1 reçoit un signal HALTS délivré par le CPU. Lorsque le CPU rencontre, lors de l'exécution d'un programme stocké dans la mémoire MEM, une instruction HALT, en soi bien connue de l'homme de l'art, il porte le signal HALTS à une valeur prédéterminée, par exemple "1", ce qui provoque l'arrêt de l'oscillateur OSC1 ainsi que l'arrêt de divers périphériques, non représentés sur la figure dans un souci de simplicité.

Le microcontrôleur comprend également un décodeur d'interruption ITDEC délivrant des requêtes en interruption IRQ au CPU, sur réception de signaux d'interruption. L'entrée du décodeur ITDEC reçoit notamment des signaux d'interruption externes ITEXT générés par des événements extérieurs au microcontrôleur et des signaux d'interruption internes ITINT générés par des événements internes, parmi lesquels on distingue un

signal d'interruption ITCT délivré par le dispositif de temporisation TCT.

Le microcontrôleur comprend également un registre de contrôle CREG accessible par l'intermédiaire d'un bus de données DB, contenant deux bits M et E appliqués au dispositif de temporisation TCT. Le bit E, ou bit d'autorisation "ENABLE", est mis à 1 pour valider la mise en service du dispositif TCT lors de l'exécution d'une instruction HALT. Le bit M, ou bit de mesure et de calibrage, valide la mise en service du dispositif TCT en dehors des périodes d'arrêt, afin de procéder à une opération de mesure et de calibrage du dispositif TCT qui sera décrite plus loin.

Dans l'art antérieur, l'exécution de l'instruction HALT provoque l'arrêt total du microcontrôleur et de tout élément interne au microcontrôleur puisque l'oscillateur OSC1 est arrêté.

Selon l'invention au contraire, le dispositif de temporisation TCT est autonome vis-à-vis de l'oscillateur OSC1 et définit la durée de la période d'arrêt durant laquelle le premier oscillateur OSC1 est arrêté. Ainsi, quand le bit de contrôle E a été préalablement mis à 1 par le CPU, l'exécution de l'instruction HALT provoque, outre l'arrêt de l'oscillateur OSC1, le démarrage du dispositif TCT. Après une période de temporisation déterminée, le dispositif TCT délivre le signal d'interruption ITCT et le décodeur ITDEC délivre une requête en interruption provoquant l'activation du CPU. L'activation du CPU commence par la mise à 0 du signal HALTS, afin de redémarrer l'oscillateur OSC1, puis l'exécution d'un programme d'interruption déterminé.

Dans le mode de réalisation représenté, le dispositif TCT comprend un oscillateur OSC2 présentant une entrée OFF/ON permettant de mettre en service ou

d'arrêter l'oscillateur OSC2. L'entrée OFF/ON présente une sensibilité inverse de celle de l'entrée ON/OFF de l'oscillateur OSC1, de sorte que l'oscillateur OSC2 démarre lorsque l'entrée OFF/ON reçoit un signal à 1 et 5 s'arrête lorsque l'entrée OFF/ON reçoit un signal à 0.

L'entrée OFF/ON de l'oscillateur est pilotée par la sortie d'une porte G1 de type OU recevant en entrée la sortie d'une porte G2 de type ET et la sortie d'une porte G3 de type ET. La porte G2 reçoit sur ses entrées le bit 10 M et le signal HALTS inversé (/HALTS), délivré par une porte inverseuse INV1, tandis que la porte G3 reçoit sur ses entrées le bit E et le signal HALTS.

Ainsi, la sortie de la porte G1 est à 1 et 15 l'oscillateur OSC2 est actif si le signal HALTS est à 1 (périodes d'arrêt du CPU) et si le bit E est également à 1. La sortie de la porte G1 est également à 1 et 20 l'oscillateur OSC2 est actif si le signal HALTS est à 0 (périodes normales de fonctionnement du CPU) et si le bit M de mesure est égal à 1.

20 Le dispositif TCT comprend également un premier diviseur de fréquence PSC1 ("prescaler") recevant en entrée un signal d'horloge CK2 délivré par l'oscillateur OSC2. Le premier diviseur de fréquence PSC1 délivre un signal d'horloge CK3 qui est appliqué sur l'entrée 25 d'horloge d'un second diviseur de fréquence PSC2, dont la sortie délivre le signal d'interruption ITCT après comptage d'un nombre prédéterminé de périodes du signal d'horloge CK3. Le diviseur PSC1 est de préférence un diviseur asynchrone présentant une faible consommation 30 électrique.

En résumé, après basculement en mode arrêt, le signal HALTS passe à 1, l'oscillateur OSC1 s'arrête, l'oscillateur OSC2 démarre (si le bit E a été préalablement mis à 1) et le diviseur PSC2 calcule, de

façon autonome vis-à-vis de l'oscillateur OSC1, une valeur de comptage représentant une temporisation déterminée, puis le signal ITCT passe à 1 et le CPU est réactivé.

5 Dans un mode de réalisation avantageux, l'oscillateur OSC2 est un oscillateur basse consommation présentant une consommation électrique nettement inférieure à celle de l'oscillateur OSC1. Ainsi, par rapport à un microcontrôleur classique pourvu d'un  
10 circuit de temporisation qui est cadencé par l'oscillateur OSC1, le mode arrêt actif selon l'invention présente l'avantage d'une faible consommation électrique.

L'oscillateur OSC1 est par exemple un oscillateur de type RC (résistif capacitif) bien connu de l'homme de l'art. Les éléments résistifs R et capacitifs C de l'oscillateur OSC2 peuvent être des éléments externes au microcontrôleur, c'est-à-dire externes à la plaquette de silicium et connectés à celle-ci par les plages de connexion, ou être des éléments internes réalisés  
20 directement à la surface de la plaquette de silicium. D'autres types d'oscillateurs tels que les oscillateurs en anneau peuvent également convenir, et de façon générale tout moyen de type oscillant, à impulsions ou à décharge, permettant de déterminer une durée tout en  
25 consommant peu de courant.

Les oscillateurs basse consommation présentant en contrepartie l'inconvénient d'une faible précision et d'une forte déviation avec le temps et la température, on admet que la fréquence de l'oscillateur OSC2 peut être  
30 affectée d'un écart important par rapport à sa fréquence nominale, par exemple un écart compris entre -40% et +100% de la fréquence nominale.

Ainsi, selon un aspect optionnel mais avantageux du dispositif TCT selon l'invention, le diviseur PSC2 est un

diviseur programmable permettant de compenser une éventuelle dérive de l'oscillateur OSC2 afin de garantir des périodes d'arrêt de durée sensiblement constante. Ainsi, une valeur de division N du diviseur PSC2, ou 5 consigne de comptage, est stockée dans un registre AWUREG qui est accessible au moins en écriture via le bus de données DB.

Il convient ici de noter que la stabilité dans le temps de la durée d'une période d'arrêt est une exigence 10 essentielle dans certaines applications, notamment dans le domaine de l'automobile. Ainsi, par exemple, un microcontrôleur dédié à la détection des mouvements d'un bouton de commande d'un lève-vitre électrique par la méthode de scrutation ("polling"), doit présenter des 15 intervalles d'arrêt, entre chaque scrutation, d'une durée sensiblement constante. Dans le cas contraire, la période d'arrêt varie avec le temps et peut devenir supérieure au temps minimum de maintien du bouton par l'utilisateur, de sorte qu'une commande brève ne sera pas détectée.

20 Selon un autre aspect optionnel mais avantageux de la présente invention, le circuit TCT est équipé d'un circuit de calibrage TIMPER permettant au CPU de recaler automatiquement et cycliquement le diviseur PSC2 sur une consigne de division N assurant une faible déviation dans 25 le temps du signal d'horloge CK3, relativement au signal d'horloge CK1.

Le circuit de calibrage TIMPER est par exemple une minuterie périphérique en soi connue de l'homme de l'art, comprenant une entrée de capture recevant le signal CK2 30 et une entrée de référence recevant le signal CK1, et délivrant une valeur de comptage représentant le nombre de périodes du signal CK1 détectées pendant un nombre déterminé de périodes du signal CK2. Il est supposé ici que le signal CK2 présente une fréquence nettement

inférieure à celle du signal CK1, par exemple 128 KHz contre 8 MHz pour le signal CK1.

La figure 3 représente le schéma de principe d'une telle minuterie périphérique. Celle-ci comprend deux bascules D1, D2 synchrones de type D, une porte G4 de type NON OU à deux entrées, une porte inverseuse INV2 et un compteur 16 bits CMPT dont la sortie est appliquée à l'entrée d'un registre ICREG, qui est accessible en lecture via le bus de données DB. Les bascules D1, D2 et le compteur CMPT reçoivent sur leurs entrées d'horloge le signal CK1. La bascule D1 reçoit sur son entrée D le signal CK2 et sa sortie Q est appliquée sur l'entrée D de la bascule D2. La sortie Q de la bascule D1 est appliquée sur une entrée de la porte G4 et la sortie Q de la bascule D2 est reliée à une deuxième entrée de la porte G4 via la porte inverseuse INV2. La sortie de la porte G4 délivre un signal FEDET (détection de front descendant) qui est appliqué sur une entrée de remise à 0 (RESET) du compteur CMPT. Le signal FEDET est également appliqué sur une entrée de chargement (LOAD) du registre ICREG.

En raison du décalage des sorties des bascules D1 et D2, le signal FEDET passe à 1 à chaque front descendant du signal CK2, pour une durée brève égale à une période du signal CK1. A chaque front descendant, le compteur CMPT est remis à zéro et le registre ICREG charge une valeur de comptage égale au nombre de périodes du signal CK1 intervenues depuis le front descendant précédent, soit un intervalle de temps égal à une période du signal CK2.

La valeur M chargée dans le registre ICREG est donc égale au rapport des périodes des signaux CK2, CK1, respectivement T2 et T1, et peut s'écrire :

$$(1) M = T2/T1$$

En désignant par  $T_{wake}$  la durée souhaitée du mode arrêt, et en considérant à titre d'exemple que le diviseur PSC1 assure une division par 64 du signal CK2, il vient que

5

$$(2) T_{wake} = 64 * N * T_2$$

soit :

10

$$(3) N = T_{wake} / (64 * T_2)$$

$N$  étant la valeur à charger dans le registre AWUREG. En combinant (1) et (3) il vient :

15

$$(4) N = T_{wake} / (64 * M * T_1)$$

La période  $T_1$  étant connue et  $M$  étant délivré par le registre ICREG, la valeur de  $N$  peut donc être calculée de façon cyclique de manière à rafraîchir le registre AWUREG 20 et assurer une bonne stabilité de la durée  $T_{wake}$  de la période d'arrêt. Le calcul de la relation (4) peut être fait par logiciel et est dans ce cas effectué par le CPU. Un circuit spécial à logique câblée peut également être prévu pour appliquer automatiquement la consigne  $N$  au 25 registre AWUREG, à partir de la valeur  $M$  disponible dans le registre ICREG.

Considérons à titre d'exemple l'application numérique suivante,  $F_1$  et  $F_2$  étant les fréquences respectives des signaux CK1 et CK2 :

30

$$T_{wake} = 64 \text{ ms}$$

$$T_2 = 7,8125 \mu\text{s} \quad (F_2 = 128 \text{ KHz})$$

$T_1 = 125 \text{ ns}$  ( $F_1 = 8 \text{ MHz}$ )

Dans ce cas :

$$N = 8000/M$$

5

L'invention telle que présentée ci-dessus permet d'obtenir une réduction significative de la consommation d'énergie d'un circuit intégré en mode arrêt actif, ainsi que la consommation moyenne d'un circuit intégré 10 basculant cycliquement dans le mode arrêt actif. L'exemple numérique qui suit est relatif à un microcontrôleur réalisé en technologie CMOS 0,5 micromètre :

- période d'arrêt souhaitée :

15

$$T_{\text{wake}} = 64 \text{ ms},$$

- consommation globale du microcontrôleur en mode actif y compris celle de l'oscillateur OSC1 :

20

$$\text{CONS1} = 5 \text{ mA}$$

- consommation de l'oscillateur OSC2 (oscillateur RC) :

25

$$\text{CONS2} = 15 \mu\text{A},$$

- consommation cumulée des diviseurs PSC1 et PSC2 :

$$\text{CONS3} = 1 \mu\text{A},$$

30

- période de travail (temps de scrutation) :

$$T_{\text{work}} = 0,5 \text{ ms},$$

La consommation moyenne MCONS est donnée par la formule suivante :

$$[T_{wake} * (CONS2 + CONS3) + T_{work} * CONS1] / (T_{wake} + T_{work})$$

5

soit :

$$MCONS = [(64ms * 16 \mu A) + (0,5ms * 5mA)] / (64ms + 0,5ms)$$

10

$$MCONS = 138 \mu A$$

Il apparaît que cette consommation moyenne est bien inférieure à la seule consommation de l'oscillateur OSC1.

On a décrit dans ce qui précède un microcontrôleur comportant un dispositif de temporisation autonome vis-à-vis de l'oscillateur principal du microcontrôleur, permettant de faire basculer le microcontrôleur dans un mode du type ACTIVE HALT mentionné au préambule, qui diffère du mode ACTIVE HALT classique par le fait que l'oscillateur principal est arrêté. Ainsi que cela a été décrit ci-dessus, l'application principale de l'invention est de réduire notablement la consommation du mode ACTIVE HALT d'un microcontrôleur (ou microprocesseur) en activant le dispositif de temporisation autonome au moyen, par exemple, d'un oscillateur basse consommation. Les inconvénients en terme de stabilité d'un tel oscillateur peuvent par ailleurs être compensés par la procédure de recalage qui vient d'être décrite.

Les aspects de l'invention relatif au bit d'autorisation E sont bien entendu optionnels et ont simplement pour but de permettre la prévision, dans le jeu d'instructions d'un microcontrôleur, d'une instruction FULL HALT et d'une instruction ACTIVE HALT. En pratique, la différence intervenant dans l'exécution

de ces deux instructions est que le CPU met à 1 ou au contraire laisse à 0 le bit d'autorisation E. Une seule instruction HALT peut également être prévue, avec gestion du bit E par une autre instruction spéciale.

- 5        La présente invention est bien entendu susceptible de diverses variantes et modes de réalisation, et aussi de diverses autres applications. Il va de soi que la présente invention est applicable à tout type de circuit intégré, notamment tout type de circuit intégré cadencé
- 10      par une horloge présentant une consommation électrique non négligeable et nécessitant un mode arrêt. Ainsi, le signal de "réveil" ITCT délivré par le dispositif de temporisation selon l'invention n'est pas nécessairement utilisé comme signal d'interruption, d'autres méthodes
- 15      existant pour réactiver de façon directe ou indirecte un circuit intégré sur réception d'un signal déterminé. L'invention est notamment applicable aux circuits intégrés à logique câblée dépourvus d'unité centrale.

## REVENDICATIONS

1. Circuit intégré (MC) comprenant au moins un élément cadencé par un signal d'horloge (CK1) délivré par un premier oscillateur (OSC1), et des moyens (CPU, MEM, HALT, ON/OFF) pour arrêter le premier oscillateur,  
5 caractérisé en ce qu'il comprend un dispositif (TCT) de temporisation qui est autonome vis-à-vis du premier oscillateur OSC1, et des moyens (HALTS, CREG, M) pour déclencher le dispositif de temporisation lors d'un arrêt du premier oscillateur (OSC1), le dispositif de  
10 temporisation comprenant des moyens pour délivrer, au terme d'une période déterminée après son déclenchement, un signal (ITCT) de réactivation du premier oscillateur.
2. Circuit intégré selon la revendication 1,  
15 caractérisé en ce que le dispositif de temporisation autonome est cadencé par un deuxième oscillateur (OSC2).
3. Circuit intégré selon la revendication 2,  
caractérisé en ce que le deuxième oscillateur (OSC2)  
20 présente une consommation électrique inférieure à celle du premier oscillateur (OSC1).
4. Circuit intégré selon l'une des revendications 2 et 3, caractérisé en ce que le deuxième oscillateur  
25 (OSC2) est un oscillateur de type RC.
5. Circuit intégré selon l'une des revendications 1 à 4, caractérisé en ce que le dispositif de temporisation comprend un circuit diviseur de fréquence  
30 (PSC1, PSC2) recevant en entrée un signal (CK2) délivré par le deuxième oscillateur (OSC2) et délivrant le signal de réactivation (ITCT).

6. Circuit intégré selon la revendication 5 caractérisé en ce que le circuit diviseur de fréquence (PSC1, PSC2) comprend un diviseur programmable (PSC2) 5 comportant un registre de calibrage (AWUREG) pour mémoriser un facteur de division (N).

7. Circuit intégré selon la revendication 6, caractérisé en ce qu'il comporte un circuit de calibrage 10 (TIMPER) pour recaler le diviseur programmable en dehors de périodes d'arrêt du premier oscillateur (OSC1), en référence au signal d'horloge (CK1) délivré par le premier oscillateur.

15 8. Circuit intégré selon l'une des revendications 1 à 7, caractérisé en ce que le premier oscillateur (OSC1) est un oscillateur à quartz.

9. Circuit intégré selon l'une des revendications 20 1 à 8, comprenant une unité centrale de traitement numérique (CPU) cadencée par le premier oscillateur (OSC1)

10. Circuit intégré selon la revendication 9, dans 25 lequel le circuit de temporisation autonome est déclenché par un signal d'arrêt (HALTS) délivré par l'unité centrale de traitement numérique.

11. Circuit intégré selon la revendication 10, dans 30 lequel le déclenchement du circuit de temporisation est fonction du signal d'arrêt (HALTS) délivré par l'unité centrale de traitement numérique et d'au moins un bit de contrôle (E) stocké dans un registre (CREG).

12. Circuit intégré selon l'une des revendications 1 à 11, dans lequel le signal (ITCT) de réactivation du premier oscillateur délivré par le dispositif (TCT) de temporisation est un signal d'interruption provoquant de 5 façon indirecte, par l'intermédiaire d'un décodeur d'interruption (ITDEC), la réactivation du premier oscillateur (OSC1).

13. Circuit intégré selon l'une des revendications 10 précédentes, caractérisé en ce qu'il forme un microcontrôleur (MC).

14. Procédé pour contrôler la durée d'une période d'arrêt dans un circuit intégré (MC) comprenant au moins 15 un élément cadencé par un signal d'horloge (CK1) délivré par un premier oscillateur (OSC1), et des moyens (CPU, MEM, HALT, ON/OFF) pour arrêter le premier oscillateur, la période d'arrêt comprenant l'arrêt du premier oscillateur,

20 caractérisé en ce qu'il comprend les étapes consistant à :

- prévoir un dispositif (TCT) de temporisation qui est autonome vis-à-vis du premier oscillateur OSC1,
- déclencher le dispositif de temporisation lors d'un 25 arrêt du premier oscillateur (OSC1), et
- délivrer un signal (ITCT) de réactivation du premier oscillateur au moyen du dispositif de temporisation autonome, au terme d'une période déterminée après son déclenchement.

30

15. Procédé selon la revendication 14, dans lequel le dispositif de temporisation autonome est cadencé par un deuxième oscillateur (OSC2).

16. Procédé selon la revendication 15, dans lequel le deuxième oscillateur (OSC2) présente une consommation électrique inférieure à celle du premier oscillateur.

5 17. Procédé selon l'une des revendications 14 à 16, dans lequel on prévoit un circuit diviseur de fréquence (PSC1, PSC2) recevant en entrée un signal de sortie (CK2) du deuxième oscillateur (OSC2) et délivrant le signal de réactivation (ITCT).

10

18. Procédé selon la revendication 17, dans lequel on prévoit un circuit diviseur de fréquence (PSC1, PSC2) comprenant un diviseur programmable (PSC2) comportant un registre de calibrage (AWUREG) pour mémoriser un facteur 15 de division (N), et une étape de calibrage (TIMPER) faite en dehors de périodes d'arrêt du premier oscillateur, pour recaler le diviseur programmable en référence au signal d'horloge (CK1) délivré par le premier oscillateur (OSC1).

20

19. Procédé selon l'une des revendications 14 à 18, mis en œuvre dans un circuit intégré (MC) comprenant une unité centrale de traitement numérique (CPU) cadencée par le premier oscillateur (OSC1)

25

20. Procédé selon la revendication 19, dans lequel on déclenche le circuit de temporisation autonome au moyen d'un signal d'arrêt (HALTS) délivré par l'unité centrale de traitement numérique.

30

21. Procédé selon la revendication 20, dans lequel le déclenchement du circuit de temporisation autonome dépend de la valeur d'un bit de contrôle (E) stocké dans un registre (CREG).

1/2

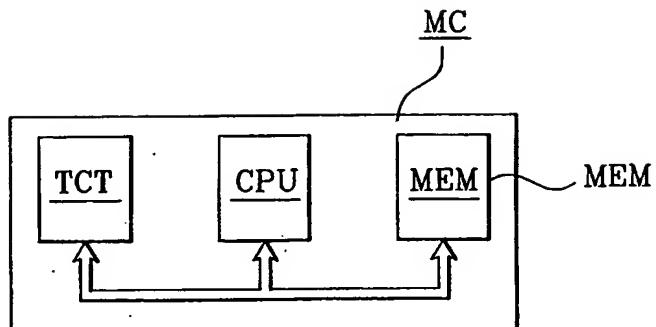


Fig. 1

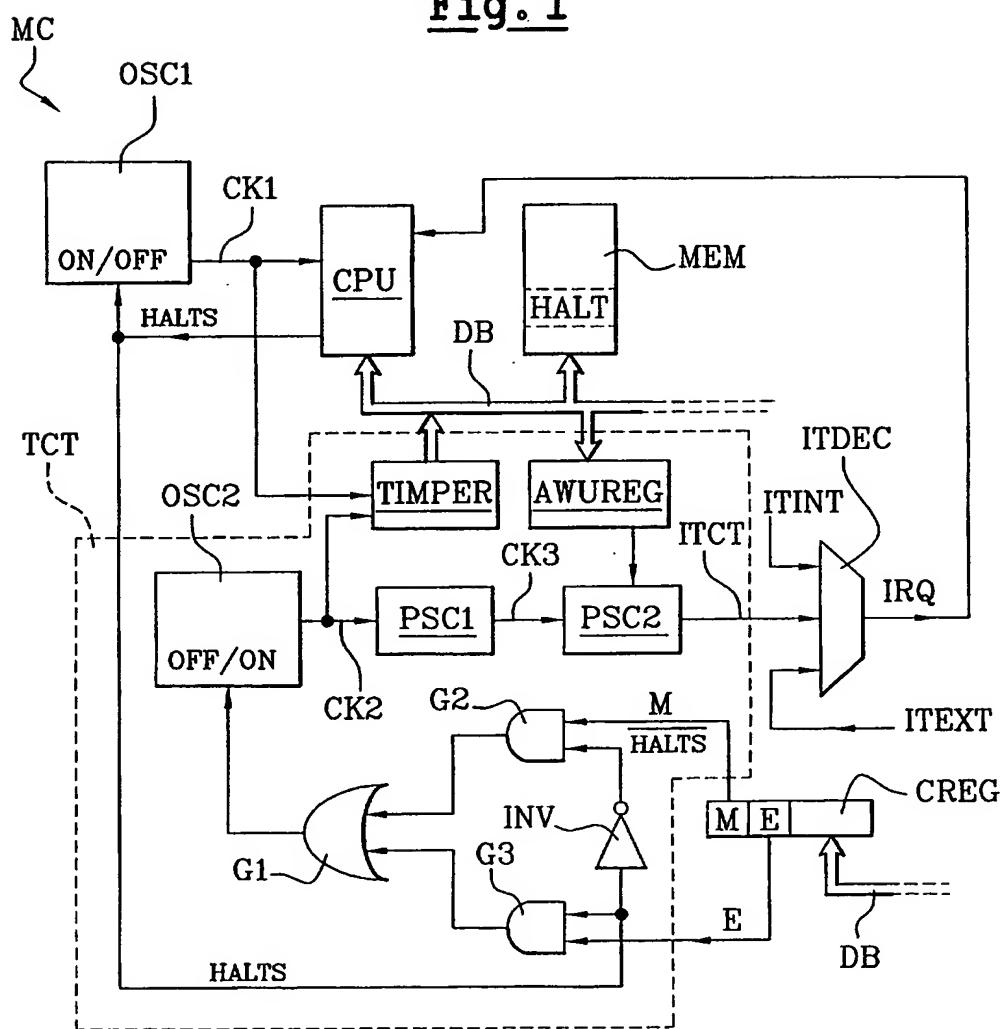
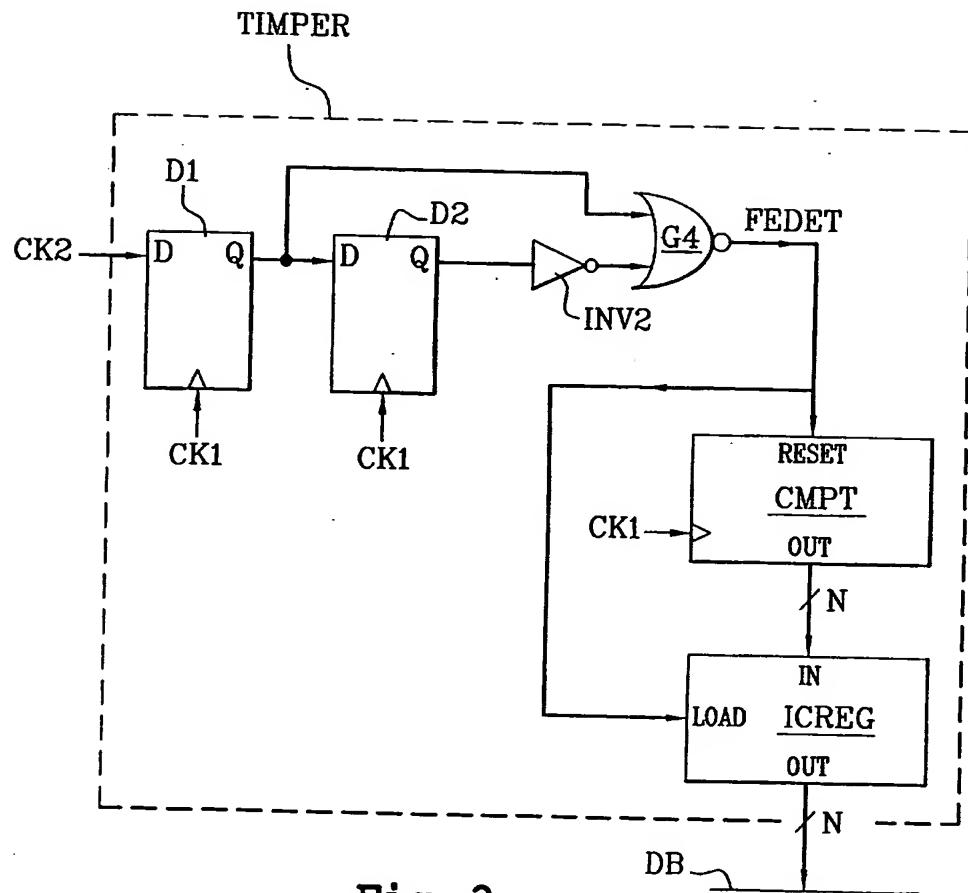


Fig. 2

2/2



**RAPPORT DE RECHERCHE**  
**PRÉLIMINAIRE**

2832565

N° d'enregistrement  
nationalétabli sur la base des dernières revendications  
déposées avant le commencement de la rechercheFA 611712  
FR 0114998

<b>DOCUMENTS CONSIDÉRÉS COMME PERTINENTS</b>		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	FR 2 789 501 A (ST MICROELECTRONICS SA) 11 août 2000 (2000-08-11) * le document en entier *	1-21	H03F1/32 H03K17/28 H03L7/18
A	US 5 818 271 A (STANOJEVIC SILVO) 6 octobre 1998 (1998-10-06) * abrégé * * colonne 1, ligne 50 - colonne 2, ligne 14 *	1, 14	
A	US 5 454 114 A (YACH RANDY L ET AL) 26 septembre 1995 (1995-09-26) * abrégé * * colonne 2, ligne 10 - colonne 36 * * colonne 3, ligne 56 - ligne 66 *	1-4, 8, 14-16	
DOMAINES TECHNIQUES RECHERCHÉS (Int.CL.7)			
G06F			
1		Date d'achèvement de la recherche	Examinateur
		6 août 2002	Davenport, K
<b>CATÉGORIE DES DOCUMENTS CITÉS</b>		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande I : cité pour d'autres raisons S : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrrière-plan technologique O : divulgation non-écrite P : document intercalaire			

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE**  
**RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 0114998 FA 611712**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **06-08-2002**.  
 Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française.

Document brevet cité au rapport de recherche		Date de publication		Membre(s) de la famille de brevet(s)	Date de publication
FR 2789501	A	11-08-2000	US FR	6381705 B1 2789501 A1	30-04-2002 11-08-2000
US 5818271	A	06-10-1998	US	5910739 A	08-06-1999
US 5454114	A	26-09-1995	DE DE EP JP WO	69231230 D1 69231230 T2 0746817 A1 7504282 T 9310493 A1	10-08-2000 01-03-2001 11-12-1996 11-05-1995 27-05-1993